

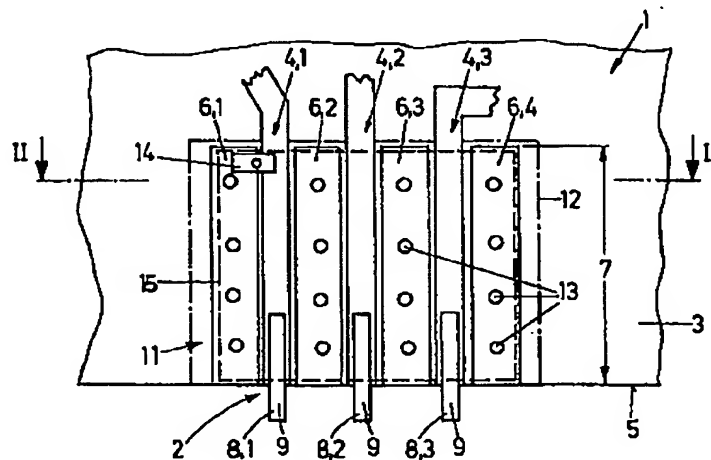


**PCT**  
WELTORGANISATION FÜR GEISTIGES EIGENTUM  
Internationales Büro  
INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE  
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

<p>(51) Internationale Patentklassifikation <sup>7</sup> : <b>H01R 12/04, 13/66, 13/719</b></p>	<p><b>A1</b></p>	<p>(11) Internationale Veröffentlichungsnummer: <b>WO 00/16446</b></p> <p>(43) Internationales Veröffentlichungsdatum: <b>23. März 2000 (23.03.00)</b></p>
<div style="display: flex; justify-content: space-between;"> <div style="width: 48%;"> <p>(21) Internationales Aktenzeichen: <b>PCT/DE99/02785</b></p> <p>(22) Internationales Anmeldedatum: 2. September 1999 (02.09.99)</p> <p>(30) Prioritätsdaten: 198 41 459.5      10. September 1998 (10.09.98)    DE</p> <p>(71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-80333 München (DE).</p> <p>(72) Erfinder; und (75) Erfinder/Anmelder (nur für US): BELAU, Horst [DE/DE]; Gabriele Münster Weg 2, D-84085 Langquaid (DE). HELD, Joachim [DE/DE]; Schönwerthstrasse 56, D-81739 München (DE). REINDL, Hartwig [DE/DE]; Nürnberger Strasse 8, D-80537 Feucht (DE). MEYER, Wolfram [DE/DE]; Asamstrasse 36, D-93051 Regensburg (DE).</p> <p>(74) Gemeinsamer Vertreter: <b>SIEMENS AKTIENGESELLSCHAFT</b>; Postfach 22 16 34, D-80506 München (DE).</p> </div> <div style="width: 48%; vertical-align: top;"> <p>(81) Bestimmungsstaaten: JP, KR, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p><b>Veröffentlicht</b> <i>Mit internationalem Recherchenbericht. Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist; Veröffentlichung wird wiederholt falls Änderungen eintreffen.</i></p> </div> </div>		

(54) Title: PRINTED CIRCUIT BOARD ARRANGEMENT WITH A MULTIPOLE PLUG-IN CONNECTOR

(54) Bezeichnung: LEITERPLATTENANORDNUNG MIT MEHRPOLIGEM STECKVERBINDER



(57) Abstract

A printed circuit board arrangement with a multipole plug-in connector (1) is fitted with plug pins that are respectively fixed to signal conductor tracks in a parallel position with respect to a printed circuit board layer (3). The signal conductor tracks (4) are arranged in a substantially parallel position and are alternately mounted side to side with ground conductor tracks (6). A ground screening surface (11) is also provided in an adjacent layer (10) of the printed circuit board.

#### (57) Zusammenfassung

Eine Leiterplattenanordnung mit mehrpoligem Steckverbinder (1) weist parallel zur Platinenlage (3) auf den jeweiligen Signalleiterbahnen (4) befestigte Steckerpins (8) auf, wobei die Signalleiterbahnen (4) im wesentlichen parallel und wechselweise Seite-an-Seite mit Masseleiterbahnen (6) angeordnet sind. Ferner ist eine Masseschirmfläche (11) auf einer benachbarten Platinenlage (10) vorgesehen.

#### LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	RS	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidschan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauritanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		
EE	Estland						

## Beschreibung

## Leiterplattenanordnung mit mehrpoligem Steckverbinder

- 5 Die Erfindung betrifft eine Leiterplattenanordnung mit mehrpoligem Steckverbinder mit den im Oberbegriff des Anspruchs 1 angegebenen Merkmalen.

Die der Erfindung zugrundeliegende Problematik bezieht sich  
10 sowohl auf die Abschirmung von elektronischen Baugruppen gegen hochfrequente elektromagnetische Strahlungen von außen, wie z.B. Hochfrequenzeinstreuungen von Sendern oder Störungen durch Zünd- und Entladungsvorgänge, als auch auf die Verringerung der Emission von Hochfrequenz von der Baugruppe  
15 selbst, wie z. B. Hochfrequenz-Störströme auf den Versorgungsleitungen aufgrund von Microcontrollern in der Baugruppe. Während die gesamte Schaltungsanordnung als solche durch ein Metallgehäuse relativ einfach abgeschirmt werden kann, stellen dabei die das Gehäuse durchsetzenden Anschlüsse der  
20 Schaltung besondere Problemzonen dar. Zur Abschirmung werden dort entweder die Durchführungen der Anschlüsse durch Realisierung sogenannter Filter-Steckverbinder möglichst gut schirmend ausgeführt, wie dies beispielsweise in dem Fachaufsatz „Filter-Steckverbinder für die elektromagnetische Ent-  
25 störung“ von Matthias Weber und Hans-Peter Mayr (ATZ Automobiltechnische Zeitschrift 91 (1989), Seiten 588 bis 591) beschrieben ist. Dieser Steckverbinder ist als Planar-Tiefpaßfilter in Dickschichttechnik ausgebildet und weist voneinander durch eine dielektrische Schicht getrennte Signal- und  
30 Masseelektroden auf, die einander überlappen. Insoweit ist der Filter-Steckverbinder gemäß dem genannten Fachaufsatz relativ komplex aufgebaut.

In der EP 0 563 071 B1 ist ein gegen Hochfrequenz abschirmendes Gehäuse einer Schaltung, z. B. für die Steuerschaltung  
35 eines Air-Bags eines Fahrzeuges, beschrieben, bei der die

Durchführung der Steckerstifte über einen vom übrigen Gehäuse getrennten und abgeschirmten Vorraum erfolgt.

5 Aus der WO 95/33291 A1 ist schließlich ein oberflächenmontierter Steckverbinder bekannt, bei dem die Steckerpins mit ihren abgekröpften platinenseitigen Enden flächig auf den entsprechenden Leiterbahnen der Platine aufgelötet sind.

10 Schließlich ist es auf dem einschlägigen technischen Gebiet üblich, zur Abschirmung von hochfrequenten Störungen Kondensatoren zwischen die ein- und ausgangsseitigen Signalleiterbahnen und entsprechende Masseleiterbahnen einer Leiterplattenanordnung zu setzen. Dabei können - wie dies beispielsweise auch in der bereits erwähnten EP 0 563 071 B1 zu sehen ist  
15 - die Steckerpins senkrecht auf die Platine zulaufen und in entsprechenden Kontaktbohrungen mit einer Signalleiterbahn verlötet sein. An diese Signalleiterbahnen sind jeweils Kondensatoren mit ihrem einen Anschlußpol angeschlossen, wobei der andere Anschlußpol auf einer gemeinsamen Massebahn liegt,  
20 die parallel vor dem Stecker liegt. Bei dieser Anordnung ist die Platzierung der Kondensatoren und die erzielbare Abschirmwirkung problematisch.

25 Aus der JP 8-306410 A ist bekannt, plattenartige Leiterenden auf einer Endfläche von parallelen Streifenleitern anzuordnen. Nur ein Teil des Leiterendes ragt aus einem Dielektrikum hervor, das einen Abschnitt des Leiterendes einbettet.

30 Aus der JP 9-46006 A ist eine Anordnung mit parallelen Mikrostreifenleitern bekannt, zwischen denen eine Masseleitung angeordnet ist. Die Leiter sind auf einem Dielektrikum angeordnet, das mit einer Masseschicht versehen ist. Die Masseleitung ist mit der Masseschicht verbunden.

35 Die DE 44 00 160 A1 betrifft eine Leiterplatte für ein Bussytem mit einer Vielzahl von Anschlußstellen für Leitungen, die an den Bus angekoppelt werden sollen. Eine Leiterfläche

ist als Massefläche ausgebildet, die mit keinem anderen Potential des Systems verbunden ist. Die Anschlußstellen sind mit Filterkondensatoren versehen.

- 5 Die JP 1-138786 A offenbart einen integrierten Schaltkreis mit einer Abschirmschicht, die die signalführenden Leiter dreidimensional umgibt.

Der Erfindung liegt demgemäß die Aufgabe zugrunde, eine Leiterplattenanordnung mit mehrpoligem Steckverbinder der gattungsgemäßen Art so weiterzubilden, daß unter Erzielung einer guten Abschirmwirkung eine konstruktiv einfache und kompakte Ausgestaltung des Steckverbinders erreicht wird.

- 15 Diese Aufgabe wird durch die im Kennzeichnungsteil des Anspruches 1 angegebenen Merkmale gelöst. So beansprucht der Steckverbinder durch die parallel zu einer Platinenlage auf-  
liegende Befestigung der Steckerpins auf der jeweiligen Signalleiterbahn in Höhenrichtung zur Platine keinen nennens-  
20 werten Raum, was der Kompaktheit besonders zugute kommt. Für eine gute Abschirmwirkung sorgt die wechselweise Seite-an-Seite-Anordnung der Signal- und Masseleiterbahnen auf der Platinenlage und die zusätzlich vorgesehene Masseschirmfläche auf einer benachbarten Platinenlage. Hierbei ist von Vorteil,  
25 daß alle Leiterbahnen und die Masseschirmfläche in üblicher Fertigungstechnologie für das Aufbringen von Leiterbahnen auf Platinen, also ohne zusätzlichen Fertigungsaufwand angebracht werden können. Insgesamt sind also alle Komponenten im Steckerbereich optimal zu platzieren, was in der Praxis zu einer  
30 Verbesserung der sogenannten elektromagnetischen Verträglichkeit bezüglich Ein- und Abstrahlung um mehr als 20 dB führen kann. Ferner kann die beim Stand der Technik vorgesehene Schirmkammer - z. B. der in der EP 0 563 071 B1 beschriebene Vorraum zur Durchführung der Steckerpins - komplett entfal-  
35 len.

Bevorzugte Ausführungsformen der Erfindung sind in den Unteransprüchen angegeben.

Ein Ausführungsbeispiel einer erfindungsgemäßen Leiterplattenanordnung mit mehrpoligem Steckverbinder wird im folgenden anhand der beigefügten Zeichnungen näher erläutert. Es zeigen:

Fig. 1 eine schematische ausschnittsweise Draufsicht auf eine Leiterplattenanordnung mit mehrpoligem Steckverbinder, und

Fig. 2 einen Schnitt durch die Anordnung entlang der Schnittlinie II-II nach Fig. 1.

In den Zeichnungen ist eine zweilagige Platine 1 mit einem Substrat aus PCB-Material ausschnittsweise im Bereich eines mehrpoligen Steckverbinders 2 gezeigt. Auf der obengelegenen Platinenlage 3 sind drei Signalleiterbahnen 4.1, 4.2, 4.3 rechtwinklig bis an den Rand 5 der Platine 1 parallel mit Abstand zueinander herangeführt. Zwischen den Signalleiterbahnen 4.1, 4.2. bzw. 4.2, 4.3 und neben den äußeren Signalleiterbahnen 4.1, 4.3 sind Seite an Seite und parallel mit diesen Leiterbahnen die Masseleiterbahnen 6.1, 6.2, 6.3, 6.4 wechselweise mit diesen Signalleiterbahnen 4 angeordnet. Die Masseleiterbahnen 6 enden in einem Abstand 7 vom Rand 5 der Platine 1.

Auf der Platinenlage 3 liegen flach und parallel zu den Signalleiterbahnen 4.1., 4.2., 4.3 Steckerpins 8.1, 8.2, 8.3 auf, die zur elektrischen Kontaktierung flächig auf den Signalleiterbahnen 4.1, 4.2, 4.3 verlötet sind. Die über den Rand 5 hinausstehenden Enden 9 der Steckerpins 8 dienen dabei zum Einstecken in eine entsprechenden Buchsenanordnung.

Wie insbesondere aus Fig. 2 deutlich wird, ist auf der der oberen Platinenlage 3 abgewandten unteren Platinenlage 10 ei-

ne Masseschirmfläche 11 vorgesehen, die den von den Signal- 4  
und Masseleiterbahnen 6 eingenommenen Flächenbereich über-  
deckt. Dies wird aus der in Fig. 1 strichpunktiert einge-  
zeichneten Kontur 12 der Masseschirmfläche 11 deutlich. Die  
5 Masseschirmfläche 11 ist mit jeder Masseleiterbahn 6.1, 6.2,  
6.3 und 6.4 mehrmals über Durchkontaktierungen 13 durch die  
Platine 1 elektrisch verbunden. Die Masseschirmfläche kann  
auch auf einer Innenlage bei mehrlagigen Platinen realisiert  
sein.

10 Wie der Übersichtlichkeit halber nur in einem Beispiel in  
Fig. 1 dargestellt ist, ist zwischen der Signalleiterbahn 4.1  
und der Masseleiterbahn 6.1 auf der dem Steckerpin 8.1 abge-  
wandten Seite des Steckverbinders 2 ein Filterkondensator 14  
15 geschaltet. Durch solche Filterkondensatoren 14 zwischen ent-  
sprechenden Signal-Masseleiterbahn-Paaren am Ende der Masse-  
leiterbahnen 6 werden niederimpedante, bis in den hohen Fre-  
quenzbereich wirkende parasitäre Kapazitäten zwischen den Si-  
gnalleiterbahnen 4 und Masseleiterbahnen 6 aufgebaut. Die  
20 Kopplungswege für hochfrequente Störungen beschränken sich  
damit hauptsächlich auf den Bereich zwischen den Signallei-  
terbahnen 4 und den dazwischen und darunterliegenden Massebe-  
reichen in Form der Masseleiterbahnen 6 und Masseschirmfläche  
11 im Bereich des Steckverbinders 2.

25 Zur Verbesserung der Abschirmungseigenschaften kann schließ-  
lich - in den Zeichnungen strichliert angedeutet - noch eine  
Abschirmplatte 15 vorgesehen sein, die die Signalleiterbahnen  
4.1, 4.2, 4.3 im Bereich des Steckverbinders 2 überspannt und  
30 auf den beiden äußeren Masseleiterbahnen 6.1, 6.4 befestigt  
und elektrisch damit verbunden ist.

Es ist darauf hinzuweisen, daß bei mehrlagigen oder sogenann-  
ten Multilayer-Platinen entsprechende Signalleiterbahnen und  
35 Masseleiterbahnen auf den jeweils äußeren Platinenlagen 3, 10  
angeordnet sein können. Die Masseschirmfläche 11 befindet

sich dann auf einer oder beiden der diesen beiden Steckverbinderbereichen benachbart liegenden inneren Platinenlagen.



## Patentansprüche

1. Leiterplattenanordnung mit mehrpoligem Steckverbinder,  
umfassend
  - 5 A. eine mindestens zweilagige Platine (1),
  - B. mehrere Signalleiterbahnen (4) im Randbereich einer  
Platinenlage (3),
  - C. mehrere, jeweils einer Signalleiterbahn (4) zugeord-  
nete Steckerpins (8),
  - 10 D. den Signalleiterbahnen (4) zugeordnete Masseleiter-  
bahnen (6) auf der Platinenlage (3), und
  - E. mindestens einen Filterkondensator (14) zwischen Si-  
gnal- (4) und Masseleiterbahnen (6),  
gekennzeichnet durch,
  - 15 F. eine zur Platinenlage (3) parallel aufliegende Befes-  
tigung der Steckerpins (8) auf der jeweiligen Si-  
gnalleiterbahn (4),
  - G. eine zueinander im wesentlichen parallele, wechsel-  
weise Seite-an-Seite-Anordnung der Signal-(4) und
  - 20 Masseleiterbahnen (6) auf der einen Platinenlage (3),  
und
  - H. eine den Flächenbereich der Signal-(4) und Masselei-  
terbahnen (6) überdeckende Masseschirmfläche (11) auf  
einer benachbarten Platinenlage (10).
  - 25
2. Leiterplattenanordnung mit Steckverbinder nach Anspruch  
1, dadurch gekennzeichnet, daß die Masseleiter-  
bahnen (6) und die Masseschirmfläche (11) über Durchkon-  
taktierungen (13) durch die Platine (1) elektrisch mit-  
30 einander verbunden sind.
3. Leiterplattenanordnung nach Anspruch 2, dadurch ge-  
kennzeichnet, daß jede Masseleiterbahn (6) über  
mehrere Durchkontaktierungen (13) mit der Masseschirmflä-  
35 che (11) elektrisch verbunden ist.

4. Leiterplattenanordnung mit Steckverbinder nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß die Filterkondensatoren (14) auf der den Steckerpins (8) abgewandten Seite der Signalleiterbahnen (4) zwischen die Masse- und Signalleiterbahnen (6, 4) geschaltet sind.
5. Leiterplattenanordnung mit Steckverbinder nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß die Seite-an-Seite-Anordnung von Signal- (4) und Masseleiterbahnen (6) von einer Abschirmplatte (15) überdeckt ist, die auf der der Masseschirmfläche (11) abgewandten Seite der Signal- (4) und Masseleiterbahnen (6) angeordnet ist.
6. Leiterplattenanordnung mit Steckverbinder nach Anspruch 5, dadurch gekennzeichnet, daß die Abschirmplatte (15) auf den beiden äußeren der Masseleiterbahnen (6.1, 6.4) befestigt und elektrisch damit verbunden ist.
7. Leiterplattenanordnung mit Steckverbinder nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß bei mehrlagigen Platinen Steckerpins mit zugeordneten Signal- und Masseleiterbahnen auf den beiden äußeren Platinenlagen angeordnet sind, wobei mindestens eine zugehörige Masseschirmfläche auf den inneren Platinenlagen angeordnet ist.

1 / 1

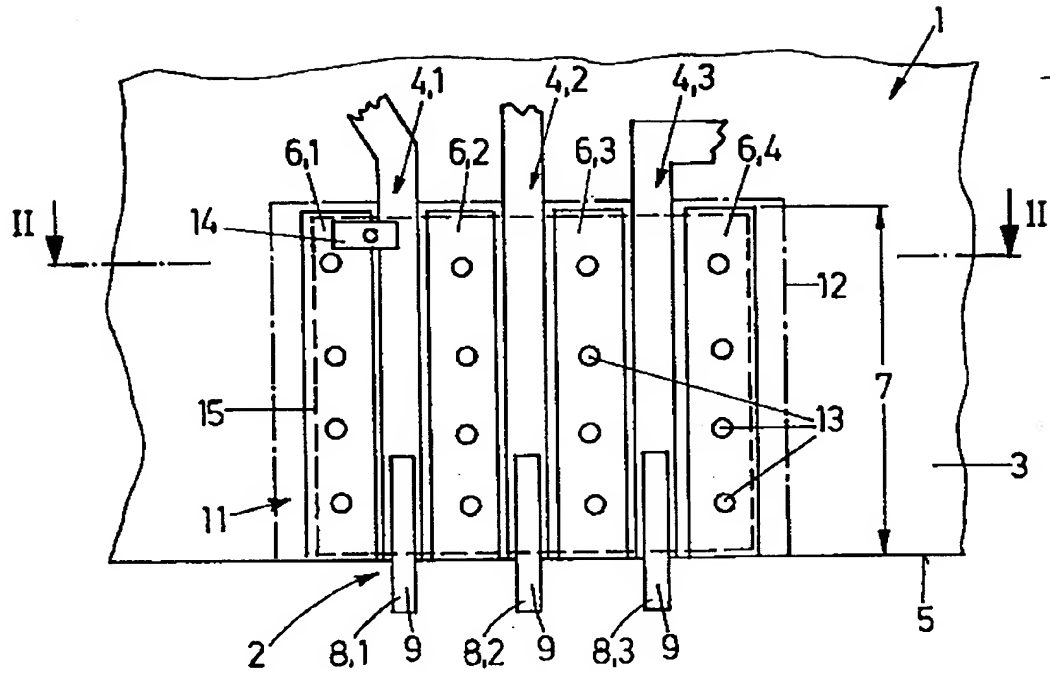


FIG. 1

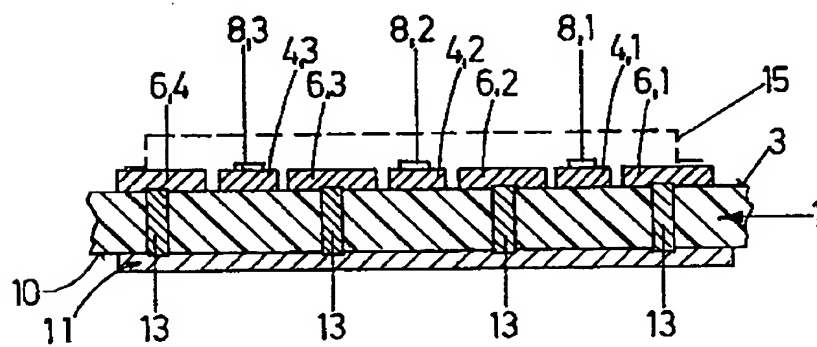


FIG. 2

## INTERNATIONAL SEARCH REPORT

In national Application No.

PCT/DE 99/02785

## A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H01R12/04 H01R13/66 H01R13/719

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01R H05K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 98 06243 A (DYCONEX PATENTE ;SCHMIDT WALTER (CH); MARTINELLI MARCO (CH)) 12 February 1998 (1998-02-12)	1,2
A	page 11, line 5 - line 21; figures 10,11	3,5-7
X	DE 44 00 160 A (WUERTH ELEKTRONIK GMBH & CO KG) 6 July 1995 (1995-07-06)	1
A	the whole document	4
A	US 5 736 910 A (HATCH DAVID ET AL) 7 April 1998 (1998-04-07)	1,4
	column 3, line 45 -column 8, line 21	
A	DE 44 25 803 A (SIEMENS AG OESTERREICH) 16 February 1995 (1995-02-16)	1
	figure 7	

☐ Further documents are listed in the continuation of box C.☒ Patent family members are listed in annex.

## \* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"Z" document member of the same patent family

Date of the actual completion of the international search

17 February 2000

Date of mailing of the international search report

24/02/2000

Name and mailing address of the ISA

European Patent Office, P.O. 6818 Patentplan 2  
NL - 2230 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 051 epo nl,  
Fax: (+31-70) 340-3010

Authorized officer

Salojärvi, K

# INTERNATIONAL SEARCH REPORT

Information on patent family members

Int. Application No

PCT/DE 99/02785

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 9806243 A	12-02-1998	EP 0916237 A	19-05-1999
DE 4400160 A	06-07-1995	NONE	
US 5736910 A	07-04-1998	AU 1150997 A	11-06-1997
		CA 2238305 A	29-05-1997
		CN 1202278 A	16-12-1998
		EP 0862803 A	09-09-1998
		WO 9719498 A	29-05-1997
DE 4425803 A	16-02-1995	NONE	

# INTERNATIONALER RECHERCHENBERICHT

In: elektronisches Aktenzeichen

PCT/DE 99/02785

## A. KLASIFIZIERUNG DES ANMELDUNGSBEGRIFFES

IPK 7 H01R12/04 H01R13/66 H01R13/719

Nach der internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

## B. RECHERCHIERTE GEBIETE

Recherchiertes Mindestprüfgebiet (Klassifikationsbereich und Klassifikationssymbole)

IPK 7 H01R H05K

Recherchierte aber nicht zum Mindestprüfgebiet gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

## C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betz. Anspruch Nr.
X	WO 98 06243 A (DYCONEX PATENTE ; SCHMIDT WALTER (CH); MARTINELLI MARCO (CH)) 12. Februar 1998 (1998-02-12)	1,2
A	Seite 11, Zeile 5 - Zeile 21; Abbildungen 10,11	3,5-7
X	DE 44 00 160 A (WUERTH ELEKTRONIK GMBH & CO KG) 6. Juli 1995 (1995-07-06)	1
A	das ganze Dokument	4
A	US 5 736 910 A (HATCH DAVID ET AL) 7. April 1998 (1998-04-07)	1,4
A	Spalte 3, Zeile 45 - Spalte 8, Zeile 21	
A	DE 44 25 803 A (SIEMENS AG OESTERREICH) 16. Februar 1995 (1995-02-16)	1
	Abbildung 7	

☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfälle

\* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung: die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfindungsfähiger Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung: die beanspruchte Erfindung kann nicht als auf erfindungsfähiger Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"Z" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschusses der internationalen Recherche

17. Februar 2000

Abschließdatum des internationalen Recherchenberichts

24/02/2000

Name und Postanschrift der internationalen Recherchebehörde  
Europäisches Patentamt, P.B. 5818 Patentplan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-6040, Tx. 31 651 epo nl,  
Fax (+31-70) 340-8018

Bevollmächtigter Beauftragter

Salojärvi, K

# INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 99/02785

Im Recherchenbericht angeführtes Patentsdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
WO 9806243	A	12-02-1998	EP	0916237 A	19-05-1999
DE 4400160	A	06-07-1995	KEINE		
US 5736910	A	07-04-1998	AU	1150997 A	11-06-1997
			CA	2238305 A	29-05-1997
			CN	1202278 A	16-12-1998
			EP	0862803 A	09-09-1998
			WO	9719498 A	29-05-1997
DE 4425803	A	16-02-1995	KEINE		